

2001-0050603

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. G09G 5/10	(11) 공개번호 특2001-0050603 (43) 공개일자 2001년06월15일
(21) 출원번호 10-2000-0055879	
(22) 출원일자 2000년09월22일	
(30) 우선권주장 99-269095 1999년09월22일 일본(JP)	
(71) 출원인 닛폰 덴키 주식회사 가내코 히사시 일본 도쿄도 미나도구 시바 5-7-1	
(72) 발명자 아마구찌마찌히코 일본국도쿄도미나도구시바5-7-1닛폰덴키(주)내 코가코이찌	
(74) 대리인 일본국도쿄도미나도구시바5-7-1닛폰덴키(주)내 이병호	

실사항구 : 있음

(54) 그레이 스케일 변경에서 초기값을 변경시키기 위한 방법

요약

에러(error) 확산 회로는 8비트 동급의 그레이 레벨(gray level)들을 나타내는 입력 비디오 신호(RA/BA/BA/RB/BB/BB')를 6비트 동급의 그레이 레벨을 나타내는 출력 비디오 신호(RA'/BA'/BA'/RB'/BB')들로 변경하고, 초기값 제너레이터(201, 201')는 프레임(frame)의 각 라인 상의 각각의 제 1 비디오 신호들에 대한 초기값을 산출하며, 여기에서 초기값 제너레이터는 어떤 패턴미 디스플레이 패널(도 5) 상에 의도적으로 산출되도록 하기 위해 프레임 넘버, 라인 넘버와 색의 조합에 따라 초기값을 변화시킨다.

내포도

도면

작성자

에러 확산 회로, 초기값 제너레이터, 가산기

설명서

도면의 중요성 설명

도 1은 선형 에러 확산 기술의 회로 구성도를 도시한 블록도.

도 2는 미심사청구된 일본특허 공개 공보 평9-90902에서 밝혀진 선형 에러 확산 회로에서 바뀐 초기값을 도시한 도면.

도 3은 선형 에러 확산 회로를 통해 디스플레이 패널 상에 생성된 영상도.

도 4는 본 발명에 따른 에러 확산 회로의 회로도를 도시한 블록도.

도 5는 프레임/라인/입력 포트와 에러 확산 회로에 결합된 초기값 제너레이터에 의해 생성된 초기값 사이의 관계를 정의하는 테이블도.

도 6은 에러 확산 회로에 의해 탈성된 그레이 스케일 변경에서 초기값을 변경시키는 경우에 고려된 마이너스도.

도 7은 라인 그룹에서 초기값의 변화에 적합한 패턴도.

도 8은 프레임 그룹에서 초기값의 변경에 적합한 패턴도.

도 9는 그레이 스케일 변경을 통해 생성된 프레임 상의 화소들을 도시한 도면.

도 10은 프레임/라인/색/입력 포트와 본 발명에 따른 또 다른 초기값 제너레이터에 의해 생성된 초기값 사이의 관계를 정의하기 위한 또 다른 테이블도.

도 11은 그레이 스케일 변경을 통해 생성된 첫 번째 프레임 상의 화소들을 도시한 전망도.

도 12는 제 2 프레임 상의 화소들을 도시한 도면.

도 13은 제 3 프레임 상의 화소들을 도시한 도면.

도 14는 제 4 프레임 상의 화소들을 도시한 도면.

*도면의 주요 부분에 대한 부호의 설명

101 : 초기값 제너레이터

102 : 셀렉터

103 : 클립-풀립

104 : 내부 클립 신호

105 : 제어 신호

106, 107 : 가산기

설명의 상세한 설명

설명의 목적

영상이 속하는 기술분야 및 그 분야의 주제기술

본 발명은 영상 처리(processing) 기술과 관계가 있으며, 더 특별하게는, 의사-그레이(pseudo-gray) 스케일 변경에서 초기값을 변경시키기 위한 방법과 관계가 있다.

LCD(liquid crystal display) 패널과 PDP(plasma display) 패널은 작은 비디오 영상 처리 장치의 예들이다. 아래의 설명에서, 용어 "디스플레이 패널"은 얇은 영상 처리 장치에 이용된다. 비디오 데이터 정보 조각들은 보통 디지털 신호를 통해 디스플레이 패널에 제공된다. 디스플레이 패널 상에 산출된 영상의 틀들은 디지털 비디오 데이터 신호의 비트들을 의존한다. 비디오 데이터 정보의 조각이 6비트글로 표시될 때 패널 디스플레이에는 64 그레이 레벨들을 산출할 수 있다. 반면에, 디지털 비디오 신호가 비디오 데이터 정보의 조각을 나타내는 8비트글을 포함한다면, 그 풍급의 영역은 256 그레이 레벨들로 확장된다. 이 풍급은 6비트 풍급에서 8비트 풍급으로 바뀌게 된다.

디지털 색차(chrominance) 신호들이 완전한 색 영상을 나타내는 비디오 데이터 정보의 조각을 은반하는 것으로 여겨진다. 비디오 데이터 정보는 적색의 부영상(sub-image), 초록색의 부영상, 및 초록색 부영상을 나타내는 세 개의 비디오 데이터 정보의 부조각(sub-piece)으로 분류되며, 색차 신호들은 각각 세 개의 비디오 데이터 정보의 부조각들로 분류된다. 아래의 설명에서, "R", "G"와 "B"는 각각 적, 초록, 파랑을 대표한다. 풍급이 6비트에서 8비트로 전환할 때, 각각의 색차 신호들은 2비트를 추가적으로 요구하고, 영상 데이터 처리 회로는 증대된다.

디스플레이 패널은 "SXGA" 즉, 해상도(resolution) 1280라인×1024라인을 갖는 것으로 여겨진다. 데이터 정보의 조각으로부터 디스플레이 패널 상에 완전한 영상을 산출하기 위해서, 디스플레이 패널은 두 개의 포트(port)(RA, BA, BA), (BF, BB, BB)를 요구하며, 영상 데이터 정보의 조각은 제어기에서 두 개의 포트를 통해서 제공된다. 제어기의 클릭 신호들은 진동적으로 감소하며, 드리이버에서 네 개의 포트들을 통하여 제공된다. 제어기와 드리이버는 반도체 접착회로의 형태이며, 회로 기판 상에 설치된다. 다음한 신호 리미터들은 회로 기판 상에 인쇄되며, 출력신호들은 신호 라인을 통해 제어기에서 드리이버로 제공된다. 신호 라인들의 넘버는 8비트×3행×4 포트로서 계산되며, 96라인들이다. 각각의 색차 신호들이 비디오 데이터 정보의 부조각을 나타내는 6비트들을 포함할 때, 단지 72 신호 라인들이 출력 신호를 전달한다. 그래서, 그레이 레벨들의 증가는 회로 기판의 증대를 가져온다. 더욱이, 드리이버 회로는 그레이 레벨들의 증가를 막고, 또한 증대된다. 이것은 생산 가격의 증가를 가져온다.

지금까지 설명된 것처럼, 풍급의 증대는 비디오 데이터 처리 회로의 향상을 가져온다. 6비트 풍급에 대한 비디오 데이터 처리 회로가 8비트 비디오 신호에 의해 표현된 비디오 영상으로 이용된다면, 생산 가격은 제한된다. 이러한 이유로 인해서, 의사-그레이 스케일 변경 기술은 비디오 데이터 처리 회로에 이용된다.

의사-그레이 스케일 변경 기술은 흥미 하나는 여러 확산에 기초하여 세워진다. 한 예가 미심사형 구된 일본 북부 공개 공보 평9-90902에서 나타나 있다. 실행되지 않은 출원 일본 특허 판은 에러 확산이 라인의 방향에 따라 실행되며, 초기값이 모든 라인과 모든 프레임에서 변경된다는 것을 보여준다. 선형 의사-그레이 스케일 변경 기술이 아래에 상세하게 기술되었다.

도 1은 여러 확산 회로의 전형적인 예를 보여준다. 선형 여러 확산 회로 기술은 두 개의 포트를 갖으며, 8비트 데이터 신호들 RA, BA, BA와 RB, BB 관련 포트에 면밀적으로 입력된다. 각각의 8비트 비디오 데이터 신호들은 6개의 하이-오더(hi-high-other)비트들과 2개의 로-오더(low-other)비트들로 분류된다. 6개의 하이-오더 비트는 가산기(107)의 입력 포트 "a"로 직접 제공되며, 두 개의 로-오더 비트들은 가산기(107)의 입력 포트 "b"로 가산기(106)를 통해 제공된다. 두 개의 로-오더 비트들은 가산기(106)의 캐리(carry) 포트 "CRY"로부터 가산기(107)의 입력 포트 "b"로 제공되며, 가산기(107)는 6비트 데이터 신호들 RA/BA/BA와 RB/BB/BB를 출력한다.

초기값 제너레이터(101)과 클립-풀립((Clip-Top), 회로(103)는 셀렉터(selectors)(102)의 두 입력 포트 "1"과 "0"에 펼행하게 연결되어 있다. 초기값 제너레이터(101)는 셀렉터(102)의 일련 포트 "1"에 초기값 "1"을, 다른 2비트 신호를 제공하고, 클립-풀립 회로(103)는 일의 한 "c+d"를 셀렉터(102)의 일련 포트 "0"에 제공한다. 셀렉터(102)는 출력 포트 "Y"에 입력 포트 "1"과 "0"을 선택적으로 연결하기 위해 제어 신호(105)에 반응한다. 셀렉터(102)의 출력 포트 "Y"는 가산기(106)의 다른 입력 포트 "b"에 연결되어 있다. 가산기(106)는 입력 포트 "b"의 값에 입력 포트 "a"의 값을 가산하고, 일의 "c+d"와 캐리(carry)를 산출한다. 합 "c+d"는 출력 포트 "sum"에서 클립-풀립 회로(103)의 입력 포트 "0"까지 제공되고, 캐리는 캐

리 포트 "CRY"에서 가산기(107)의 입력 포트 "b"로 제공된다. 내부 클럭 신호(104)는 풀림-풀畴 회로(103)의 클럭 노드(node) "CK"에 제공되며, 풀畴-풀畴 회로(103)는 내부 클럭 신호(104)에 따라 한 "c+d"를 래치(latch)한다.

각 프레임의 제 1 비디오 데미터 신호 RA1, GA1, BA1, RB1, GB1 또는 BB1가 포트를 통해 제작되었을 때, 제어 신호(105)는 셀렉터(102)가 가산기(106)의 입력 포트 "d"에 초기값 제너레이터(101)를 연결 시키도록 지시한다. 미 초기값은 가산기(106) 입력 포트 "d"로 셀렉터(102)를 통해 전송된다. 이 초기값은 제 1 데미터 신호 RA1/GA1/BA1/RB1/GB1/BB1중 두 개의 로(104)-오더 비트에 의해 표현된 값에 더해진다. 이때, 합 "c+d"가 산출된다. 한 "c+d"는 어려를 나타낸다. 만약 캐리가 발생한다면, 이 캐리는 가산기 (106)에서 가산기(107)의 입력 포트로 제공되며, 6 하이(high)-오더 비트들에 기산된다.

제어 신호(105)는 셀렉터(102)가 "1"에서 "0"으로 입력 포트를 바꾸도록 지시한다. 다음 내용은 셀렉터 신호가 엑티브 레벨로 바뀔 때, 합 $c+d$ 가 풀림-犟점 최로(103)에 의해 래치(latch)된다. 합 $c+d$ 는 셀렉터(102)를 통하여 입력 포트 "d"에 전송되고, 같은 프레임의 제 2 비디오 데이터 신호를 두 개의 로-오프 비트풀에 가산된다. 제어 신호(105)는 마지막 비디오 데이터 신호까지 셀렉터 내에서 입력 포트 "d"에 대한 선택 포트 "a"로 신호 전달 경로를 유지한다.

다음 프레임의 제 1 비디오 데미터 신호가 이 포트에 제공될 때, 제어 신호(105)는 셀렉터(102)가 출력 포트 "Y"에 입력 포트 "1"에 연결시키도록 지시한다. 초기값 제너레이터(101)는 셀렉터(102)를 통해 가산기(106)의 입력 포트 "d"에 초기값을 제공한다. 그러나, 초기값은 고정되지 않는다. 라인(line) 또는 프레임이 바뀔 때, 초기값 제너레이터(101)는 초기값을 바꾼다.

마침 사정구된 일본 틈해 공개 꿀보 평9-90902에서 밝혀진 선행 메러 확산 회로 기술에서, 3개의
ロー-오더 비트들이 앞의 험 죽, 에러메 가산되고 에러가 계산된다. 초기값 제너레이터는 도 2에서 보여진
비와 같이 초기값을 바꾼다. 8개의 라인들은 라인 그룹을 형성하고, 초기값은
?"1"?"2"?"3"?"4"?"3"?"5"?"6"와 "0"처럼 각 풀수 프레임의 모든 라인 그룹에서 바뀐다. 한편, 초기값 제
너레이터는 "?"5"?"6"?"0"?"7"?"1"?"8"와 "4"처럼 각 짹수 프레임의 모든 라인 그룹에서 초기값을 바꾼
다. 그래서, 초기값은 라인을 따라 훈수 프레임과 짹수 프레임 사이에서 바뀐다. 각 비디오 데미터 신호
의 개의3 로-오더 비트풀미 (0,0,1)일 때, 선행 비디오 데미터 처리 회로 기술은 도 3에서 도시된 바와
같이 디스플레이 페널 상에 영상을 생성한다. 도 3에서, 캐리는 빛금천 라인들로 표시된 화소를 발생시킨다.
빛금천 라인들이 원쪽에서 오른쪽으로 된 것은 이 화소들이 풀수 프레임에 속하는 것이다. 빛금천 라
인들이 오른쪽에서 원쪽으로 된 것은 미 화소들이 짹수 프레임에 속하는 것이다. 캐리는 어떠한 빛금천
라인이 없이 화소에서 발생하지 않는다.

예기치 못한(unintentional) 스트라이프(strip) 패턴에서 선행 비디오 데미터 처리 기술에 있어 고유의 첫 번째 문제는 디스플레이 패널 상에서 발생하였다. 3개의 로-오더 비트를(0,0,1)을 갖는 빼트비 디오 데미터 신호는 6비트 동글의 일의미의 그레이 레벨에 부합한다고 여겨진다. 만일 캐리가 가산기(106)에서 일상한다면, 가산기(107)는 임의의 그레이 레벨보다 높은 그레이 레벨을 나타내는 6비트 디비오 데미터 신호를 생성한다. 또 3회 도시된 밝과暗이, 디스플레이 패널이 흰수 프레임을 산출하는 동안, 캐리이터는 원본에서 오른쪽으로 빛금천 라인으로 표시된 화소들에서 발생하며, 밝은 화소들은 스트라이프를 처리하는 디스플레이 패널 상에 비스듬히 배열된다. 디스플레이 패널이 흰수 프레임과 짹수 프레임으로 바뀔 때, 캐리는 오른쪽에서 원쪽으로 빛금천 라인으로 표시된 화소들에서 발생하고, 밝은 화소들은 또한 스트라이프처럼 비스듬히 배열된다. 선행 메러 확산 회로 기술은 흰수 프레임과 짹수 프레임 사이에서 디스플레이 패널 상에서 밝은 화소들을 움직이게 하며, 스트라이프 패턴이 디스플레이 상에 예기치 못하게(unintentionally) 생생된다. 예기치 못한 스트라이프 패턴은 초기값이 흰수 프레임과 짹수 프레임 사이에서 비교되었기 때문이다.

선행 에러 확산 기술상 고유의 또 다른 문제는 LCD패널 상의 부적절한 버닝(burniné)이다. LCD패널에 6비트 비디오 디미터 신호들을 제공하는 선행 에러 확산 기술의 경우, 극성(polarity)이 액정 화소들을 드라이빙(driving)하기 위하여 프레임을 사이에서 번갈아 일어난다. 그러나, 도 2에서 보여진 초기값들은 선행 에러 확산 회로 기술이 극성을 교차시키도록 허락하지 않는다. 왜냐하면, 초기값이 풀수 프레임과 착수 프레임을 사이에서 서로 다르게 바꾸기 때문이다.

상기 미심사형구 일본 공개 투허공보는 단지 독 2에서 도시된 초기값의 패턴을 가르친다.

• 블링이 이루고자 하는 기운을 표방

본 말명의 중요한 목적은 초기값이 예기치 못한 패턴과

버닝(burning)으로부터 디스크 레미 패널을 보호하기 위해 변화되는 것을 통한 방법을 제공하는 것이다.

마. 목적을 이루기 위해, 본 말령은 프레임 넘버, 라인 넘버, 및 한 소트(sorts)의 입력 비티오 데이터 신호들의 조합(combination)에 따라 초기값을 변화시키는 것을 제안한다.

분·발명의 한 양상에 따라, 복수(plural)의 소트(sorts)로 그룹지어진 입력 비디오 데이터 신호들을 공급 받은 입력 포트로서, 각각의 입력 비디오 데이터 신호들이 일련의 프레임들, 즉 하나에서 생성되는 영상 대상을 나타내는 소정 수(number)의 제 1 비트들을 갖는 입력포트, 입력 비디오 데이터 신호들에 각각 대응하는 출력 비디오 데이터 신호들과, 영상 조각들 나타내는 소정 수의 제 2 비트들을 갖는 각각의 출력 비디오 데이터 신호들, 및 입력 포트와 출력 포트사이에 연결된 신호 컨버터(converter)를 출력하며, 입력 비디오 데이터 신호들로부터 출력 비디오 데이터 신호들과 제어 데이터 정보의 조각을 나타내는 제어 데이터 신호를 생성하는 출력 포트, 제어 신호 제너레이터가 복수의 소트(sorts)들로부터 차택된 소트(sorts)의 그룹에 속하는 입력 비디오 데이터 신호들에서 대용하는 출력 비디오 데이터 신호들까지, 그리고 스케일·변경에 사용된다. 제어 데이터 신호를 생성하여, 각각의 라인들에 지정되며, 제 1 넘버와 소트(sorts)의 그룹으로 차택된 소트(sorts)와 각각의 라인들에 지정되며, 변경된다. 입력 비디오 데이터 신호들 중 하나에 지정된 제 2 넘버의 조합에 따라 제어 데이터 정보를 변경시키는 제어 신호 제너레이터를 구비하는 영상 생산 장치의 스크린 상에 복수의 라인들을 각각 갖는 일련의 프레임들을 만드는 그러

이 스케일 변경 회로가 제공된다.

본 발명의 다른 양상에 따라, 디스플레이 패널 상의 각각의 복수의 라인들을 갖는 월린의 프레임들을 생성하는 그레이 편경 회로가 제공되며, 상기 월린의 프레임들이 각각 프레임 넘버들로 지정된 프레임들의 제 1 넘버를 갖는 각각의 복수의 라인 그룹들로 분할되며, 이 복수의 라인들은 각각 라인 넘버로 지정된 라인들의 제 2 넘버를 갖는 각각의 복수 라인 그룹으로 분할되며, 또한 상기 그레이 편경 회로는 각 라인에 대한 제 1 입력 데이터 신호를 내지 마지막 입력 데이터 신호들에 제공되며, 각각의 제 1 내지 마지막 비디오 데이터 신호들이 제 1 등급의 그레이 레벨들 중 하나를 나타내는 소정 수의 제 1 비트들을 갖으며, 제 1 비디오 데이터 신호가 각 라인 상의 영상 조작에 주어진 색으로 그룹 지어진 입력 포트, 각 라인에 대한 제 1 출력 비디오 데이터 신호 내지 마지막 출력 데이터 신호들을 출력하며, 각각 제 1 내지 마지막 출력 데이터 신호들이 제 1 등급의 그레이 레벨을 흥 하나를 나타내는 소정 수 (number)의 제 2 비트들을 갖는 힐력 포트, 초기값 제너레이터가 각각의 제 1 입력 비디오 데이터 신호들에 대한 색, 프레임 넘버와 라인 넘버의 조합에 따라 기본적인 초기값을 나타내는 제 1 제어 신호를 산출하며, 그레이 스케일 컨버터가 입력 포트와 초기값 제너레이터에 연결된 입력 포트와 출력 포트에 연결된 출력 포트를 갖으며 제 1 입력 비디오 데이터 신호들과 제 1 제어 신호로부터 제 1 출력 비디오 데이터 신호들을 생성하며, 또한 마지막 입력 비디오 데이터 신호들과 여기에서 내부적으로 생성된 제 2 제어 신호를 생성하는 것들을 구비한다.

본 방법의 특징들과 미점들이 미하 도면과 연관되어 설명된 것으로부터 명확하게 이해될 것이다.

설정의 구성 회로

제 1 실시예

도면을 종 도 4는 본 발명을 구현하는 예의 확산 회로이다. 예의 확산 회로는 의사-그레이 스케일 편경 회로의 한 소트(sorts)이며, n-비트 등급을 m-비트 등급으로 변환한다. 여기서 n은 m보다 더 크다. 이 예에서, n은 8이고, m은 6이다. 8비트 비디오 데이터 신호를 RA/GA/BA와 RB/GB/BB는 예의 확산 회로의 두 개의 포트에 제공된다. 8비트 비디오 데이터 신호 RA/GA/BA와 RB/GB/BB는 6개의 하이-오더 비트와 두 개의 로-오더 비트들로 분할된다. 그레이 스케일 편경은 두 개 로-오더 비트들에 기초하여 실행된다. 예의 확산 회로는 8비트 등급의 그레이 레벨을 6비트 등급의 그레이 레벨로 변환시키며, 8비트 비디오 데이터 신호를 RA/RA/BA와 RB/GB/BB을 만든다. 6비트 비디오 데이터 신호를 RA/RA/BA와 RB/GB/BB는 LCD패널 또는 POP패널 같은 디스플레이 패널에 제공되며, 그리고 이 디스플레이 패널은 여기에 상(picture)을 생성한다.

예의 확산 회로는 초기값 제너레이터(201)를 제외하고는 선형 예의 확산 회로와 회로도가 비슷하다. 미연에, 예의 확산 회로의 다른 회로 구성성분은 간소화를 위해 상세한 설명은 없이 선형 예의 확산 회로의 회로 구성성분들에 대응하는 같은 참조부호로 지정하여 라벨(label) 붙여졌다.

초기값 제너레이터(201)는 셀렉터(102)에 초기값을 제공하고, 도 5에서 보여진 뒤와 같이 초기값을 바꾼다. 각 라인 상의 제 1 비디오 데이터 신호 RA/GA/BA/RB/GB/BB가 어느 한 쪽의 포트에 도달할 때, 초기값 제너레이터(201)는 초기값을 바꾼다. 프레임이 현재의 프레임에서 다음 프레임으로 바뀔 때, 초기값 제너레이터는 또한 비디오 데이터 신호를 RA/GA/BA/RB/GB/BB와 초기값들의 패턴 사이의 관계를 바꾼다.

도 5에서 도시된 관계가 결정될 때, 도 6에서 도시된 아이템들이 고려된다. 이 관계는 프레임 넘버, 라인 넘버, 및 한 소트(sorts)의 비디오 데이터 신호 RA/GA/BA/RB/GB/BB의 조합을 나타내는 주소(address)에 따라 적당한 초기값을 엑세스하기 위한 표로 만들어질 수 있다. 그밖에, 적당한 초기값은 적당한 컴퓨터 프로그램을 통해 계산될 수 있다. 프레임 넘버, 라인 넘버, 및 비디오 데이터 신호 RA/GA/BA/RB/GB/BB의 소트(sorts)는 아래에서 “상태(condition)”로 언급된다. 초기값과 상태(condition) 사이의 관계가 미하에서 설명된다.

첫 번째로, 비트의 넘버(N)는 블록(S01)에서 설명된 것처럼 고려된다. 비트의 넘버(N)는 각 포트에서 가산기(106)까지 신호 라인들과 같다. 이 예에서 신호 라인들은 가산기(106)의 입력 포트 “c”로 2개의 로-오더 비트들을 전달하며, 다른 6개의 하이-오더 비트들은 다른 신호 라인들을 통해 가산기(107)와 입력 포트에 제공된다. 만약 넘버(N)미 2로부터 달라질 때, 초기값들은 다르게 표로 만들어질 수 있다.

두 번째로, 초기값들은 블록(S02)에서 설명된 것처럼 비디오 데이터 신호를 RA/RA/BA/RB/BB의 소트(sorts)에 사선택적으로 지정된다. 물리 말해서, 초기값들의 세트(set)들은 제 1 비디오 데이터 신호를 RA/GA/BA/RB/GB/BB로 지정된다. 예를 들어, 제 1 비디오 데이터 신호를 RA/GA/BA/RB/BB이 제 1 프레임의 제 1 라인 상에 있다면, 신호수를 “0”, “2”, “1”, “3”, “0”, “2”에 대응하는 초기값들은 도 5에서 도시된 테이블의 제 1 줄에 보여진 것처럼 제 1 비디오 데이터 신호를 RA/GA/BA/RB/BB로 각각 지정된다.

세 번째로, 패턴은 블록(S03)에서 설명된 것처럼 인접한 라인들 사이의 변이에 따라 결정된다. 도 7에서 도시된 것처럼 복수의 후보(candidate)들이 있다. 이 예에서, 패턴 “1”이 선택되고, 초기값은 1에서 그 다음으로 1씩 증가된다.

네 번째로, 각 라인들이 라인 그룹을 형성하고, 이 라인 그룹에 대한 초기값들의 세트들은 블록(S04)에 설명된 것처럼 각 라인 상에 반복된다. 이 예에서, 넘버(N)는 2이고 4 라인들은 라인 그룹을 형성한다. 각 그룹의 4개의 라인들은 각각 제 1 라인, 제 2 라인, 제 3 라인, 및 제 4 라인으로 나누어지며, 라인 넘버들 “1”, “2”, “3”, 및 “4”는 각각 제 1 라인, 제 2 라인, 제 3 라인, 및 제 4 라인에 지정된다.

마지막으로, 설명했던 것처럼, 인접한 두 라인들 사이의 변이는 1이다. 이때, 네 개의 초기값 세트는 각 라인 그룹의 네 개의 라인들에 지정된다. 네 개의 초기값 세트는 아래에서 초기값 세트의 그룹으로 언급된다. 이 라인 그룹은 각 라인 상에 반복적으로 일어나고, 따라서, 네 개의 초기값 세트들은 이 라인 그룹과 함께 각 라인 상에서 반복된다. 물리 말해서, 제 5 라인, 제 9 라인 등은 제 1 라인의 강과 일치하는 초기값 세트를 갖는다. 이 예에서, 초기값 세트(0, 2, 1, 3, 0, 2)가 제 1 라인에 지정된다. 10이 세트의 각 워리언트에 가산된다. 10이 초기값 “3”에 가산될 때, 초기값은 0으로 나타난다. 이러한 이유로, 제 2

라인에 지정된 다음 세트는 초기값(1,3,2,0,1,3.)을 갖는다.

다섯 번째로, 한 패턴은 블록(S05)에서 설명된 것처럼 프레임 사이의 변이에 따라 결정된다. 도 8에서 도시된 것처럼 패턴의 짙수 후보(candidate)들이 있다. 이 예에서, 패턴 "4"가 도 5에서 보여진 테이블에 대해 채택된다. ($2^1 \times 2$)프레임들은 프레임 한 그룹을 형성한다. 이 예에서, N은 2이고 8개의 프레임들을 갖는 프레임 패턴을 형성한다. 채택된 패턴이 프레임 그룹에 사용된다. 디스플레이 패널이 상(picture)을 만드는 동안, 프레임 그룹은 반복되고, 따라서, 채택된 패턴은 그레이 코드 변경에서 반복해서 사용된다. 각 프레임 그룹의 6개의 프레임들은 각각 "제 1 프레임", "제 2 프레임", "제 3 프레임", "제 4 프레임", "제 5 프레임", "제 6 프레임", "제 7 프레임", "제 8 프레임"으로 다른데지고, 프레임 넘버를 "1", "2", "3", "4", "5", "6", "7", "8"을 각각 제 1 프레임, 제 2 프레임, 제 3 프레임, 제 4 프레임, 제 5 프레임, 제 6 프레임, 제 7 프레임, 제 8 프레임에 지정된다. 패턴 "4"는 증가(increment)가 "2"에서 "3", "2", "3", "2", "3"을 통해 "2"까지 바뀌게 되는 것을 가르친다. 프레임 넘버가 "8"에서 "1"로 되돌아올 때, 초기값들은 3만큼 커지게 된다.

여섯 번째로, 제 1 프레임의 4개의 초기값 세트들은 패턴 "4"에 따라 일곱 번 변화되고, 초기값 세트들의 8개의 블록 그룹들은 블록(S06)에서 설명된 것처럼 결정된다. 네 개의 초기값 세트들은 제 4의 변이 패턴에 따라 프레임 "1"에서 프레임 "2", "3", "4", "5", "6", "7"을 통해 프레임 "8"까지 바뀌게 된다. 각 제 1 라인 내지 제 4 라인의 변이는 제 1 프레임에서 제 2 프레임, 제 3 프레임, 제 4 프레임, 제 5 프레임, 제 6 프레임, 제 7 프레임 통해 제 8 프레임까지 "2", "3", "2", "3", "2", "3", "2"로 바뀐다. 결과적으로, 초기값 세트들의 8개의 그룹들이 결정된다.

마지막으로, 초기값 세트들의 8개의 그룹에 대한 패턴은 제 1의 네 개의 프레임들의 짙수 프레임 즉, 첫 번째과 제 3 프레임에 지정된 네 개의 초기값 세트, 처음 네 개의 프레임들의 각 짙수 프레임 즉, 마지막 네 개의 프레임들의 각 짙수 프레임을 죽, 제 6과 제 8 프레임들에 지정된 네 개의 초기값 세트들과 일치하는 제 2와 제 4 프레임들에 지정된 네 개의 초기값 세트들, 및 마지막 프레임들의 각 짙수 프레임 즉, 블록(S07)에서 설명된 것처럼 제 5와 제 7 프레임들에 지정된 네 개의 초기값 세트들을 만든다. 예를 들어, 제 1 프레임의 제 1 라인과 제 2 프레임의 제 1 라인은 초기값 세트(0,2,1,3,0,2)와 초기값 세트(2,0,3,1,2,0)를 갖으며, 제 6 프레임의 제 1 라인과 제 5 프레임의 제 1 라인은 초기값 세트(0,2,1,3,0,2)와 초기값 세트(2,0,3,1,2,0)를 갖는다. 그래서, 제 1과 제 2 프레임들의 제 1 라인들에 지정된 초기값 세트들은 각각 제 6과 제 5 프레임의 제 1 라인들에 지정된 초기값 세트들과 일치한다. 이 예에서, 제 5, 제 6, 제 7, 및 제 8 프레임들은 각각 제 2, 제 1, 제 4, 및 제 3 프레임들의 초기값 세트들과 일치하는 초기값 세트 그룹들을 갖는다.

제 1 프레임에 지정된 초기값 세트들이 패턴 "4"에 따라 변화될 때, 제 1 2¹ 프레임들의 각 짙수 프레임에 지정된 초기값 세트들의 그룹은 대응하는 마지막 2¹ 프레임들의 각 짙수 프레임에 지정된 초기값 세트들의 그룹과 일치하며, 제 1 2¹ 프레임들의 각 짙수 프레임에 지정된 초기값 세트들의 그룹은 대응하는 마지막 2¹ 프레임들의 짙수 프레임에 지정된 초기값 세트들의 그룹과 일치한다.

블록(S01)에 적힌 제 1 상태(condition) 내지 블록(S06)에 적힌 제 6 상태는 예기치 못한 패턴으로부터 프레임들을 보호하며, 블록(S07)에 적힌 제 7 상태는 LCD패널 상의 버닝(burning)에 효과적이다.

본 발명에 따른 메리 확산 회로는 아래와 같이 행동한다. 아래의 설명에서, 비디오 데이터 신호는 "XYijk"로 라벨(label)되어있다. "X"는 삼원색률 즉, R로 축약된 적색, G로서 축약된 초록색, 및 B로서 축약된 파란색 중 하나를 나타낸다. 상(picture)의 일부가 비디오 데이터 신호(XYijk)에 기초하여 디스플레이 패널 상에 생성될 때, 상의 일부는 "X"로 채워진다. "Y"는 비디오 데이터 신호가 제공되는 포트들을 종 하나를 나타낸다. 아래에 설명된 것처럼, 메리 확산 회로는 두 개의 포트들을 갖고 비디오 데이터 신호들은 각각 이 두 포트에 제공된다. 제 1 포트와 제 2 포트는 "A"와 "B"로 지정된다. 점미사 "1", "2", 및 "k"는 프레임 넘버, 라인 넘버, 및 라인 상의 위치(position)를 나타낸다. 프레임 넘버 "1"은 "1"에서 "8"까지 변화되어, 라인 넘버는 "1"에서 "8"까지 바뀐다. 위치는 디스플레이에 의존하며, "1"에서 "xx"까지 바뀐다.

제 1 비디오 데이터 신호 RA111/GA111/BA111/RB111/GB111/BB111이 제 1 프레임의 제 1 라인 상의 일부를 생성하기 위해 메리 확산 회로에 제공되며, 그리고, 이후에, 제 1 비디오 데이터 신호 RA112/GA112/BA112/RB112/GB112/BB112가 제 1 프레임의 제 1 라인에서 다음 상(picture)의 일부를 생성하기 위해 제 1 비디오 데이터 신호 RA111/GA111/BA111/RB111/GB111/BB111에 뒤따른다.

-) 초기값 제너레이터(201)는 "0", "2", "1", "3", "0" 또는 "2"도 5서 제 1 프레임의 제 1 라인에 지정된 초기값 세트를 보라)의 신진주와 등가인 초기값을 나타내는 데이터 신호를 생성한다. 제어 신호(105)는 입력 포트 "1"의 출력 포트 "Y"를 연결하는 셀렉터(102)를 갖는다. 초기값을 나타내는 데이터 신호는 셀렉터(102)를 통해 가산기(106)의 입력 포트 "d"로 전송되며, 가산기(106)는 제 1 데이터 신호 RA111/GA111/BA111/RB111/GB111/BB111의 2개의 로-오더 비트들에 의해 표현된 값에 초기값을 가산한다. 그 가산(addition)은 합(c+d)과 캐리(CR)이다. 그 캐리는 "1" 또는 "0"이다. 가산기(106)는 합(c+d)을 나타내는 합 신호와 캐리를 나타내는 캐리 신호를 생성한다. 그 합 신호는 블립-블롭 회로(103)의 입력 노드(D)에 제공되며, 블립 신호(104)의 다음 폴스 라이스(Else)에서 블립-블롭 회로(103)에 의해 래치(latch)된다. 한편, 그 캐리 신호는 가산기(106)의 입력 노드에 제공되며, 그 캐리는 제 1 비디오 데이터 신호 RA111/GA111/BA111/RB111/GB111/BB111의 6개의 하이-오더 비트들에 의해 표현된 값에 가산된다. 이 가산의 결과는 6비트 데이터 신호 RA111/GA111/BA111/RB111/GB111/BB111이며, 6비트 비디오 데이터 신호 RA111/GA111/BA111/RB111/GB111/BB111은 제 1 프레임의 제 1 라인에서 상의 일부를 생성하기 위해 패널 디스플레이에 제공된다. 그래서, 메리 확산 회로는 초기값 "0", "2", "1", "3", "0" 또는 "2"에 기초하여 6비트 둘째에서 6비트 둘째 깊이로 그레이스케일 변환을 담당한다.

- 제 2 비디오 데이터 신호 RA112/GA112/BA112/RB112/GB112/BB112가 입력 포트에 도달할 때, 제어 신호는 가산기(102)가 입력 포트 "1"의 출력 포트 "Y"를 연결하도록 지시하며, 합(c+d)은 가산기(106)의 입력 포

트 "d"에 제공된다. 가산기(106)는 제 2 입력 비디오 데미터 신호 RA112/GA112/BA112/RB112/GB112/BB112의 2개의 로-오더 비트들에 의해 표현된 값에 합(c+d)을 더한다. 그리고, 그후에, 가산기는 제 2 비디오 데미터 신호 RA112/GA112/BA112/RB112/GB112/BB112의 6개의 하이-오더 비트들에 의해 표현된 값에 캐리를 더한다. 그 덧셈의 결과는 6비트 비디오 데미터 신호 RA'112/GA'112/BA'112/RB'112/GB'112/BB'112이며, 6비트 비디오 데미터 신호 RA'112/GA'112/BA'112/RB'112/GB'112/BB'112는 같은 프레임의 같은 라인에서 다음 상의 일부들을 생성하기 위해 패널 디스플레이에 제공된다. 예전 확산 회로는 제 1 프레임의 제 1라인에서 상의 나머지 일부를 생성하기 위해 이 기능(function)을 반복한다.

디스플레이 패널이 제 1프레임의 제 1라인을 같은 프레임의 제 2 라인으로 바꿀 때, 제 1 비디오 데미터 신호 RA121/GA121/BA121/RB121/GB121/BB121이 제 1 프레임의 제 2 라인에서 상의 다른 일부를 생성하기 위해 예전 확산 회로에 제공되며, 제 2 비디오 데미터 신호 RA122/GA122/BA122/RB122/GB122/BB122가 제 1 프레임의 제 2 라인에서 상의 다른 일부를 생성하기 위해 제 1 비디오 데미터 신호 RA121/GA121/BA121/RB121/GB121/BB121를 뒤 따른다.

초기값 제너레이터(201)은 "1", "3", "2", "0", "1", 또는 "3"(도 5서 제1 프레임의 제 1라인에 지정된 초기값 세트를 보라)의 실진수와 등가인 초기값을 나타내는 데이터 신호를 생성한다. 제어 신호(105)는 셀렉터(102)가 입력 포트 "1"과 출력 포트 "Y"를 연결하도록 지시한다. 셀렉터(102)를 통해서 가산기(106)의 입력 포트 "d"로 전송되며, 가산기(106)는 제 1 비디오 데미터 신호 RA121/GA121/BA121/RB121/GB121/BB121의 2개의 로-오더 비트들에 의해 표현된 값에 초기값을 가산한다. 그 가산의 결과는 합(c+d)과 캐리(CR)이다. 가산기(106)는 합(c+d)을 나타내는 합 신호와 캐리(CR)를 나타내는 캐리 신호를 생성한다. 이 초기값은 퍼스 라이스(rise)에서 풀립-풀롬 회로(103)의 입력 노드(D)에 제공되며, 풀립-풀롬 회로(103)에 의해 래치(latch)된다. 한편, 그 캐리 신호는 가산기(107)의 입력 노드 "b"에 제공되며, 그 캐리는 제 1 비디오 데미터 신호 RA121/GA121/BA121/RB121/GB121/BB121의 6개의 하이-오더 비트들에 의해 표현된 값에 가산된다. 이 가산의 결과는 6비트 비디오 데미터 신호 RA'121/GA'121/BA'121/RB'121/GB'121/BB'121이며, 6비트 비디오 데미터 신호 RA'121/GA'121/BA'121/RB'121/GB'121/BB'121는 제 1 프레임의 제 2라인에서 상의 일부를 생성하기 위해 패널 디스플레이에 제공된다. 가산기(106)는 제 2 비디오 데미터 신호 RA122/GA122/BA122/RB122/GB122/BB122의 2개의 로-오더 비트들에 의해 표현된 값에 합(c+d)을 가산하며, 그후, 가산기(106)는 제 2 비디오 데미터 신호 RA122/GA122/BA122/RB122/GB122/BB122의 6개의 하이-오더 비트들에 의해 표현된 값에 이 캐리를 가산한다. 이 가산의 결과는 6비트 비디오 데미터 신호 RA'122/GA'122/BA'122/RB'122/GB'122/BB'122이며, 6비트 비디오 데미터 신호 RA'122/GA'122/BA'122/RB'122/GB'122/BB'122는 같은 프레임의 같은 라인에서 다음 상의 일부를 생성하기 위해 패널 디스플레이에 제공된다. 예전 확산 회로는 제 1 프레임의 제 2라인에서 상의 나머지 일부들을 생성하기 위해 이 기능을 반복한다.

유사한 방법에서, 예전 확산 회로는 제 1 프레임의 제 3과 제 4 라인에서 상의 일부들을 생성하기 위해 위에서 설명된 기능을 반복한다. 초기값 제너레이터(201)는 초기값을 제 1 프레임의 제 3 라인에서 영상 산출의 제 1 비디오 데미터 신호에 대한 (2,0,3,1,2,0)으로, 제 1 프레임의 제 4 라인에서 영상 산출의 제 1 비디오 데미터 신호에 대한 (3,1,0,2,3,1)으로 바꾼다. 예전 확산 회로는 제 1 프레임의 다른 라인 그룹들에서 상을 생성하기 위해 이 기능을 반복하며, 이 상은 패널 디스플레이에서 원성된다.

패널 디스플레이가 제 1 프레임을 제 2 프레임으로 바꿀 때, 제 1 비디오 데미터 신호 RA211/GA211/BA211/RB211/GB211/BB211이 제 2 프레임의 제 1라인에서 다른 상의 일부를 생성하기 위해 예전 확산 회로에 제공되며, 이후, 제 2 비디오 데미터 신호 RA212/GA212/BA212/RB212/GB212/BB212가 제 2 프레임의 제 2 라인에서 상의 다른 일부를 생성하기 위해 제 1 비디오 데미터 신호 RA211/GA211/BA211/RB211/GB211/BB211를 뒤 따른다.

초기값 제너레이터(201)는 "2", "0", "3", "1", "2" 또는 "0"(도 5서 제1 프레임의 제 1라인에 지정된 초기값 세트를 보라)의 실진수와 등가인 초기값을 나타내는 데이터 신호를 생성한다. 제어 신호(105)는 셀렉터(102)가 입력 포트 "1"과 출력 포트 "Y"를 연결하도록 지시한다. 초기값을 나타내는 데이터 신호는 셀렉터(102)를 통해서 가산기(106)의 입력 포트 "d"에 전송되며, 가산기(106)는 제 1 비디오 데미터 신호 RA211/GA211/BA211/RB211/GB211/BB211의 2개의 로-오더 비트들에 의해 표현된 값에 초기값을 가산한다. 이 가산의 결과는 합(c+d)과 캐리(CRY)이다. 이 캐리는 "1" 또는 "0"이다. 가산기(106)는 합(c+d)을 나타내는 합 신호와 캐리(CRY)를 나타내는 캐리 신호를 생성한다. 합 신호는 풀립-풀롬 회로(103)의 입력 노드(D)에 제공되며, 풀립-풀롬 회로(104)의 다음 퍼스 라이스에서 풀립-풀롬 회로(103)에 의해 래치(latch)된다. 한편, 캐리 신호는 가산기(107)의 입력 노드 "b"에 제공되며, 이 캐리는 제 1 비디오 데미터 신호 RA211/GA211/BA211/RB211/GB211/BB211의 6개의 하이-오더 비트들에 의해 표현된 값에 더해진다. 이 덧셈의 결과는 6비트 비디오 데미터 신호 RA'211/GA'211/BA'211/RB'211/GB'211/BB'211이며, 이 6비트 비디오 데미터 신호 RA'211/GA'211/BA'211/RB'211/GB'211/BB'211는 제 2 프레임의 제 1 라인에서 상의 일부를 생성하기 위해 패널 디스플레이에 제공된다.

제 2 비디오 데미터 신호 RA212/GA212/BA212/RB212/GB212/BB212가 입력 포트에 도달할 때, 제어 신호는 셀렉터(102)가 입력 포트 "0"과 출력 포트 "Y"를 연결하도록 지시하며, 그 합(c+d)은 가산기(106)의 입력 포트 "d"에 제공된다. 가산기(106)는 제 2 비디오 데미터 신호의 2개의 로-오더 비트들에 의해 표현된 값에 합(c+d)을 가산하며, 그후, 가산기(107)는 이 캐리를 제 2 비디오 데미터 신호 RA212/GA212/BA212/RB212/GB212/BB212의 6개의 하이-오더 비트들에 의해 표현된 값에 이 캐리를 가산한다. 이 가산의 결과는 6비트 비디오 데미터 신호 RA'212/GA'212/BA'212/RB'212/GB'212/BB'212이며, 이 6비트 비디오 데미터 신호 RA'212/GA'212/BA'212/RB'212/GB'212/BB'212는 같은 프레임의 같은 라인에서 상의 다른 일부를 생성하기 위해 패널 디스플레이에 제공된다. 예전 확산 회로는 제 2 프레임의 제 1 라인에서 미상의 나머지 일부들을 생성하기 위해 위에서 언급된 가능성을 반복한다.

디스플레이 패널이 제 2 프레임의 제 1라인을 같은 프레임의 제 2 라인으로 바꿀 때, 제 1 비디오 데미터 신호 RA221/GA221/BA221/RB221/GB221/BB221은 제 2 프레임의 제 2 라인에서 미상(picture)의 다른 일부를 생성하기 위해 예전 확산 회로에 제공되며, 제 2 비디오 데미터 신호

RA222/BA222/BA222/RB222/BB222/BB222는 제 2 프레임의 제 2 라인에서 미 상의 다른 일부를 생성하기 위해 제 1 비디오 데미터 신호 RA221/BA221/BA221/RB221/BB221에 뒤따른다.

초기값 제너레이터(201)은 "3", "1", "0", "2", "3", 또는 "1"(도 5서 제1 프레임의 제 1라인에 지정된 초기값 세트를 보라)의 설정수와 동기인 초기값을 나타내는 데미터 신호를 생성한다. 제1 신호(105)는 셀렉터(102)가 입력 포트 "1"과 출력 포트 "Y"를 연결하도록 지시하며, 가산기(106)는 제 1 비디오 데미터 신호 RA221/BA221/BA221/RB221/BB221의 2개의 로-오더 비트들에 의해 표현된 값에 초기값을 가산한다. 이 가산의 결과는 합(c+d)과 캐리(CRY)이다. 가산기(106)는 미 합(c+d)을 나타내는 합 신호와 미 캐리(CRY)를 나타내는 캐리 신호를 만든다. 이 합 신호를 블록-블록 회로(103)의 입력 노드(D)에 제공되며, 블럭 신호(104)의 다음 펄스(rise)에서 블록-블록 회로(103)에 의해 래치(latch)된다. 한편, 미 캐리 신호는 가산기(107)의 입력 노드 "b"에 제공되며, 미 캐리는 제 1 비디오 데미터 신호 RA221/BA221/BA221/RB221/BB221의 6개의 하이-오더 비트들에 의해 표현된 값을 가산한다. 미 가산의 결과는 6비트 비디오 데미터 신호 RA222/BA222/BA222/RB222/BB222이며, 이 6비트 비디오 데미터 신호 RA221/BA221/BA221/RB221/BB221은 제 2 프레임의 제 2 라인에서 미 상의 일부를 생성하기 위해 패널 디스플레이에 제공된다.

제 2 비디오 데미터 신호 RA222/BA222/BA222/RB222/BB222는 입력 포트에 도달할 때, 제1 신호는 셀렉터(102)가 입력 포트 "0"와 블럭 포트 "Y"를 연결하도록 지시하며, 미 합(c+d)은 가산기(106)의 입력 포트 "d"에 제공된다. 미 가산기(106)는 제 2 비디오 데미터 신호 RA222/BA222/BA222/RB222/BB222의 2개의 로-오더 비트들에 의해 표현된 값에 미 합(c+d)을 가산하여, 그후, 가산기(107)는 제 2 비디오 데미터 신호 RA222/BA222/BA222/RB222/BB222의 6. 하이-오더 비트들에 의해 표현된 값에 미 캐리를 가산한다. 미 가산의 결과는 6비트 비디오 데미터 신호 RA222/BA222/BA222/RB222/BB222이며, 6비트 데미터 비디오 신호 RA222/BA222/BA222/RB222/BB222는 같은 프레임의 같은 라인에서 미 상의 다음 일부를 생성하기 위해 패널 디스플레이에 제공된다. 예상 확산 회로는 제 2 프레임의 제 2 라인에서 미 상의 나머지 일부들을 생성하기 위해 미 가능을 반복한다.

유사한 방법으로, 예상 확산 회로는 제 1 프레임의 제 3과 제 4 라인들에서 미 상의 다른 일부들을 생성하기 위해 위에서 설명된 기능을 반복한다. 초기값 제너레이터(201)는 제 2 프레임의 제 3 라인에서 영상 산출의 제 1 비디오 데미터 신호에 대한 (0,2,1,3,0,2)으로, 제 2 프레임의 제 4 라인에서 영상 산출의 제 1 비디오 데미터 신호에 대한 (1,3,2,0,1,3)으로 초기값을 바꾼다. 예상 확산 회로는 디스플레이 패널에서 미 상(picture)을 완성하기 위해서 제 2 프레임의 다른 라인 그룹들에서 미 상을 생성하기 위해 이 기능들을 반복한다.

유사한 방법으로, 예상 확산 회로는 제 3 프레임 내지 제 6 프레임들을 생성하기 위해 위에서 설명된 기능들을 반복하며, 초기값 제너레이터(201)는 도 5에서 도시된 것처럼 초기값 세트를 연속적으로 바꾼다. 예상 확산 회로가 패널 디스플레이에서 제 8 프레임의 상을 완성할 때, 초기값 제너레이터(201)는 제 1 프레임에 지정된 초기값 세트들의 그룹을 만든다.

도 9는 디스플레이 패널에서 제 1 프레임의 상을 도사한다. 미 상은 비디오 데미터 신호들에 기초하여 생성되며, 2개의 로-오더 비트들은 (x,x,x,x,x,x,0,1)이다. 가장 작은 표시 비트는 "1"이다. 캐리는 "0"과 "1"로 라벨 블록 화소에서 발생하고, "2"와 "3"은 미 화소들에서 메리 값을 것이다. 힙이 "4"가 되었을 때, 캐리가 발생하고 예상 같은 "0"으로 돌아간다. 제 2 프레임, 제 3 프레임, 및 제 4 프레임은 제 1 프레임의 제 3 라인, 제 2 라인, 제 4 라인과 각각 일치하는 제 1라인들을 갖는다. 제 5 프레임 내지 제 8 프레임들은 제 2, 제 1, 제 4, 및 제 3 프레임들과 각각 일치한다. "0"으로 라벨 블록 화소는 패널 디스플레이에 산재해있고, 어떤 예기치 못한 패턴은 결코 인지되지 않는다.

앞으로의 설명으로부터 이해되겠지만, 초기값은 프레임 넓버, 라인 넓버, 및 한 소트(sorts)의 비디오 데미터 신호 RA/GA/BA/RB/BB/BB의 조합에 따라 값이 주어지며, 상태(condition)(S01~내지 S07)들은 초기값과 조합(combination)사이의 관계를 결정하기 위해 고려된다. 결과적으로, 어떤 예기치 못한 패턴이 디스플레이 패널 상에 생성되지 않는다.

제 2 실시예

본 발명을 실시하는 다른 예상 확산 회로는 초기값 제너레이터를 제외하고는 제 1 실시예를 실행하는 예상 확산 회로와 유사하다. 이러한 이유로, 이 회로 구성성분들은 아래에서 제 1 실시예의 회로 구성성분에 대응하여 같은 참조부호로 지정하며 라벨 붙여졌다. 그러나, 제 2 실시예의 초기값 제너레이터는 아래에서 제 1 실시예의 초기값 제너레이터(201)와 구별하기 위해 201'로 라벨 붙여졌다.

비디오 데미터 신호들 RA/GA/BA/RB/BB은 두 개의 포트를 통해 예상 확산 회로에 제공되며, 제 2 실시예에 결합된 초기값 제너레이터(201')는 셀렉터(102) 내지 가산기(106)를 통해 초기값을 또한 제공한다. 2개의 로-오더 비트들은 가산기(106)에 제공되고, 6개의 하이-오더 비트들은 가산기(107)에 직접 제공된다. 초기값 제너레이터(201')는 프레임 넓버, 라인 넓버, 및 한 소트(sorts)의 비디오 데미터 신호 RA/GA/BA/RB/BB의 조합(combination)에 따라 초기값을 변화시키며, 초기값과 미 조합사이의 관계는 도 10에서 도시된다.

네 개의 라인미 하나의 그룹을 형성하며, 각 프레임은 복수의 그룹들을 포함한다. 네 개의 초기값 세트들은 각각 제 1 실시예처럼 각 라인 그룹들의 네 개의 라인으로 지정된다. 예상에서, 패턴 "2"(도 7를 보라)는 초기값 세트들에 사용된다. 제 1세트의 초기값들과 제 2 세트의 초기값들의 차이는 1이며, 이 초기값들은 제 2 세트에서 제 3 세트로 2 만큼 증가한다. 제 3 세트와 제 4 세트 사이의 증가는 3이다. 라인 그룹이 1에서 그 다음으로 바뀔 때, 초기값 제너레이터는 제 1 세트로 돌아온다. 각 프레임에 지정된 네 개의 초기값 세트들은 "초기값 세트 그룹"으로 이루어진다.

8개의 프레임이, 프레임 그룹을 형성하고, 초기값 세트의 8개의 그룹은 각각 각 프레임 그룹의 제 8 프레임에 지정된다. 미 프레임 그룹은 두개의 프레임 서브 그룹 즉, 제 2 프레임 내지 제 4 프레임과 제 5 프레임 내지 제 8 프레임으로 분할된다. 제 1 프레임, 제 2 프레임, 제 3 프레임, 및 제 4 프레임은 제 6 프레임, 제 5 프레임, 제 8 프레임, 및 제 7 프레임의 초기값과 동일한 초기값 세트의 그룹을 갖는다. 6

개의 패턴(도 8을 보라)를 중 하나는 8개의 프레임 사이의 상기 설명된 관계의 결과에 기인한다. 이 예에서, 패턴 "6"(도 8을 보라)이 이 예에 사용된다. 초기값 세트(0,1,3,2,0,1)는 제 1 프레임의 제 1라인에 지정된다. 이 세트의 초기값들은 도8에서 보여진 패턴 "2"와 도 10에서 보여진 테이블을 얻기 위한 도 8에서 보여진 패턴 "6"에 따라 변화된다.

제 2 실시예를 살펴보는 데서 확산 회로는 제 2 실시예와 유사하게 행동한다. 비디오 데이터 신호들은 비트 스트링(string)(x,x,x,x,x,x,0,1)을 갖는다고 여겨진다. 예전 확산 회로는 그레이 스케일 변환을 통해 6비트 비디오 데이터 신호들을 생성하며, 6비트 비디오 데이터 신호들을 패널 디스플레이에 제공한다. 미 프레임들은 연속적으로 패널 디스플레이에 생성하며, 제 1 프레임 내지 제 4 프레임은 도 11 내지 도 14에서 보여진다. 제 5 프레임, 제 6 프레임, 제 7 프레임 및 제 8 프레임은 제 2 프레임, 제 1 프레임, 제 4 프레임 및 제 3 프레임과 유사하다. 비록 캐리가 "0"으로 라벨들은 화소들에서 발생한다 하여도, 미 화소들은 어떠한 패턴도 형성하지 않는다.

앞으로의 설명에서 인식되었지만, 초기값은 프레임 넘버, 라인 넘버, 비디오 데이터 신호들의 소트(sorts)의 혼합에 따라 변화되며, 어떠한 예기치 못한 패턴이 디스플레이 상에 생성된다.

이 프레임 그룹은 제 1 서브-그룹 즉, 제 1 프레임 내지 제 4 프레임과 제 2 서브-그룹 즉, 제 5 프레임 내지 제 8 프레임으로 분할되며, 제 1 서브-그룹의 폴수 프레임들에 지정된 초기값 세트들의 그룹들과 제 1 서브-그룹의 짝수 프레임에 지정된 초기값 세트들의 그룹들은 제 2 서브-그룹의 짝수 프레임들에 지정된 초기값들의 그룹과 제 2 서브-그룹의 폴수 프레임에 지정된 초기값 세트들의 그룹들로 사용된다. 본 발명에 따르는 그레이 스케일 변경 회로가 LCD패널에 연결된다 하더라도, 역정미 번갈아 바이어스(vias)되며, 어떠한 버닝(burning)도 LCD패널에서 발생하지 않는다.

위에서 설명된 실시예에서, 전체로서 풀릴-풀을 회로(103), 셀렉터(102), 가산기(106/107)는 신호 컨버터 또는 그레이 스케일 컨버터를 구비하며, 초기값 제너레이터(201/201')는 제어 신호 제너레이터로서 역할을 한다.

화면의 표준

본 발명의 특별한 실시예가 보여지고 설명된다 하여도, 다양한 변경과 변화들이 본 발명의 정신과 영역을 벗어 날이 없이 선형 기술자본에 의해 명백하게 달성을 것이다.

예를 들어, 도 7에서 보여진 패턴 중 어떤 하나는 네 개의 초기값 세트를 중에서 미 범위에 미용 가능하다. 유사하게 도 8에서 보여진 패턴을 중의 어떤 하나는 프레임 넘버, 라인 넘버, 비디오 데이터 신호들의 소트(sorts)의 혼합에 따라 변화된 초기값 세트의 결과에 기인된다.

본 발명에 따른 초기값 제너레이터는 초기값이 이 그레이 스케일 변경에 사용되는 한 다른 소트(sorts)의 그레이 스케일 변경 회로에 이용 가능하다.

(57) 청구의 범위

청구항 1

영상 산출 장치의 스크린 상에 복수 라인들을 각각 갖는 일련의 프레임들을 생성하기 위한, 그레이 스케일 변경 회로에 있어서,

복수의 소트(sorts)들(RA111 내지 BB111/ RA121 내지 BB121/ RA211 내지 BB211/ RA221 내지 BB221 과 RA112 내지 BB112/ RA122 내지 BB122/ RA212 내지 BB212/ RA222 내지 BB222)로, 그룹 지어진 입력 비디오 데이터 신호들(RA/BA/BA/RB/BB/BB; RA111-BB222)을 풀글받는 입력 포트로서, 상기 각각의 풀글 비디오 데이터 신호들이 상기 일련의 프레임들 중의 하나에서 생성된 영상 조각을 나타내는 소정 수의 제 1 비트들(8비트)을 갖는 입력 포트,

상기 입력 비디오 데이터 신호들에 각각 대응하는 출력 비디오 데이터 신호들(RA'/GA'/BA'/RB'/BB'/BB; RA'11-BB'222)을 풀글하는 출력 포트로서, 상기 각각의 풀글 비디오 데이터 신호들이 영상 조각을 나타내는 소정 수의 제 2 비트들(6비트)을 갖는, 출력 포트,

상기 입력 포트와 출력 포트사이에 연결되며, 상기 입력 비디오 데이터 신호들과 제어 데이터 정보 조각을 나타내는 제어 데이터 신호로부터 상기 출력 비디오 데이터 신호를 생성하는 신호 컨버터(102/103/106/107),

상기 복수의 소트(sorts)에서, 상기 복수 소트(sorts)들로부터 차택된 소트(sorts)의 그룹에 속하는 입력 비디오 데이터 신호들에서 대응하는 출력 비디오 데이터 신호들까지 그레이 스케일 변경에 사용된 상기 제어 데이터 신호를 생성하는 제어 신호 제너레이터(201, 201')를 포함하는 그레이 스케일 변경 회로에 있어서,

상기 제어 신호 제너레이터(201, 201')가 상기 각각의 프레임들에 지정된 제 1 넘버(1 내지 8)와 상기 각각의 라인들을 상기 소트(sorts)의 그룹으로부터 차택된 소트(sorts)에 지정되며, 전환된 상기 입력 비디오 데이터 신호들 중의 하나에 지정된 제 2 넘버(1 내지 4)의 조합에 따라 상기 제어 데이터 정보 조각을 변경시키는 것을 특징으로 하는 그레이 스케일 변경 회로,

청구항 2

제 2항의 그레이 스케일 변경 회로에 있어서,

생성된 초기값과 상기 제 1 넘버들, 상기 제 2 넘버들, 상기 소트(sorts)들의 혼합(combination)사이의 관계가 NOI, 상기 소정의 제 1 비트들의 넘버 일부를 형성하는 비트들의 넘버로서, 상기 그레이 스케일 변경(S01)에 사용되는 것으로, 상기 제 1 넘버가 1에서 2×2^k (S06)까지 변경되어,

NII 상기 비트들의 넘버로서, 상기 제 2 넘버는 1에서 2×2^l 까지 변경되며,
제어 데이터 정보 조작은 상기 그룹(S02)의 소트(sorts)와 함께 이용 가능하며;
제어 데이터 정보 조작은 상기 제 1 넘버(S05)와 함께 이용 가능하며;
제어 데이터 정보 조작은 상기 제 2 넘버(S03)와 함께 이용 가능한 상태(condition)를 만족하는 그레이
스케일 변경 회로.

청구항 3

제 2항에 있어서,

제 1 2^l 프레임들의 각 짝수 프레임에 지정된 상기 제어 데이터 정보 조작과 상기 제 1 2^l 프레임들의 각 짝수 프레임에 지정된 상기 제어 데이터 정보 조작이 다음 2^l 프레임들의 각 짝수 프레임에 지정된 제어 데이터 정보 조작과 상기 다음 2^l 프레임들의 각 짝수 프레임에 지정된 상기 제어 데이터 정보 조작과 일치하는 그레이 스케일 변경 회로.

청구항 4

제 1항에 있어서,

상기 제어 데이터 정보가 상기 그레이 스케일 변경에 사용되며 상기 소정의 제 1 비트를 넘버의 일부를 형성하는 비트들의 넘버로서 표시된 값에 가산된 여러 값을 나타내는 그레이 스케일 변경 회로.

청구항 5

제 4항에 있어서,

상기 신호 컨버터가 캐리가 발생할 것인자의 여부를 알도록 상기 소정 수(number)의 제 1 비트를 넘버의 일부를 형성하는 비트의 넘버로 표시된 상기 값에 상기 예러 값을 가산하는 가산기(106).

상기 출력 비디오 데이터 신호를 각각을 생성하기 위한 상기 소정 수(number)의 제 1 비트들의 나머지 비트들에 의해, 상기 제 1 가산기가 대체한 캐리 비트 없이 가산을 완성할 때, 상기 출력 비디오 데이터 신호를 각각을 형성하는 상기 나머지 비트에 의해 표시된 값에 상기 캐리를 가산하는 제 2 가산기(107)를 포함하는 그레이 스케일 변경 회로.

청구항 6

제 2항에 있어서,

상기 소트(sorts)들의 그룹이 상기 입력 비디오 데이터 신호를 미 각 라인 상에 상기 소트(sorts)들(RA111 내지 BB111/ RA121 내지 BB121/ RA211 내지 BB211/ RA221 내지 BB221)의 제 1 그룹인 것을 표시하는 그레이 스케일 변경 회로.

청구항 7

제 6항에 있어서,

상기 그룹의 소트(sorts)들이 상기 영상 조작들에 주입된 상원색(R/G/B)을 나타내는 그레이 스케일 변경 회로.

청구항 8

디스플레이 패널 상에 각 복수 라인들을 갖는 일련의 프레임들을 만드는 그레이 변환 회로로서, 상기 일련의 프레임들은 각각 프레임 넘버들(1 내지 8)로 지정된 각 제 1 프레임을 넘버를 갖는 복수 프레임 그룹으로 분할되고, 상기 복수 라인들은 각각 라인 넘버(1 내지 4)들로 지정된 각각 제 2 라인들의 넘버를 갖는 복수 라인 그룹으로 분할되며,

상기 그레이 변환 회로는

각 라인에 대해 제 1 입력 비디오 데이터 신호들(RA111 내지 BB111/ RA121 내지 BB121/ RA211 내지 BB211/ RA221 내지 BB221) 내지 마지막 입력 데이터 신호들을 공급받는 입력 포트로서, 각각의 상기 제 1 내지 마지막 입력 비디오 데이터 신호들이 제 1 등급(8-비트, 등급(gradation))의 그레이 레벨들 중의 하나를 나타내는 소정 수의 제 1 비트들을 갖으며, 상기 제 1 입력 비디오 데이터 신호들이 상기 각 라인의 조작들에서 주어진 색(R/G/B)으로 그림자지게 되는, 상기 입력 포트,

상기 각 라인에 대해 제 1 출력 비디오 데이터 신호들(RA111/ RA121, 내지 BB111/ BB121/ RA211/ BB211/ RA221/ BB221) 내지 마지막 출력 데이터 신호들을 출력하는 출력 포트로서, 상기 제 1 내지 마지막 출력 데이터 비디오 데이터 신호들은 각각 상기 제 1 등급과 다른 제 2 등급(6-비트, 등급(gradation))의 그레이 레벨들 중의 하나를 나타내는 소정 수(6)의 제 2 비트들을 갖는 상기 출력 포트,

초기값을 나타내는 제 1 제어 신호를 생성하는 초기값 제너레이터(201/201'), 및

상기 입력 포트와 상기 초기값 제너레이터(201/201')에 연결된 입력 포트들 및 상기 출력 포트에 연결된 출력 포트를 갖고, 상기 입력 비디오 데이터 신호들과 상기 제 1 제어 신호로부터 상기 제 1 출력 비디오 데이터 신호들을 생성하며, 상기 마지막 출력 비디오 데이터 신호들과 내부적으로 생성되는 제 2 제어 신호로부터 상기 마지막 출력 비디오 데이터 신호들을 생성하는 그레이 스케일 컨버터(102/103/106/107)를 구비하는, 상기 그레이 변환 회로에 있어서, 상기 초기값이 상기 제 1 입력 비디오 데이터 신호들의 각각

에 대한 상기 색, 프레임 넘버, 및 라인 넘버의 조합에 따라 변하는 것을 특징으로 하는 그레이 변경 회로.

청구항 9

제 8항에 있어서,

상기 초기값이 N0이 각 제 1입력 비디오 데이터 신호의 일부를 형성하는 비트풀의 넘버(S01)이며, 상기 그레이 스케일 변경에 사용되는 것으로 상기 제 1 그레이 넘버가 2×2^t 과 같으며:

상기 제 2 넘버가 2^t (S05)과 같으며:

상기 제 1입력 비디오 데이터 신호에 지정된 각각의 초기값들이 초기값들의 세트가 각 프레임에 반복해서 사용되도록 하기 위해 각 라인 그룹(S03)에서 상기 라인 넘버(1 내지 4)와 함께 변경되며, 그리고

상기 초기값들의 세트들이 상기 일련의 프레임(S05)에서 상기 프레임 넘버(1 내지 8)와 함께 변경되는 그레이 스케일 변경 회로.

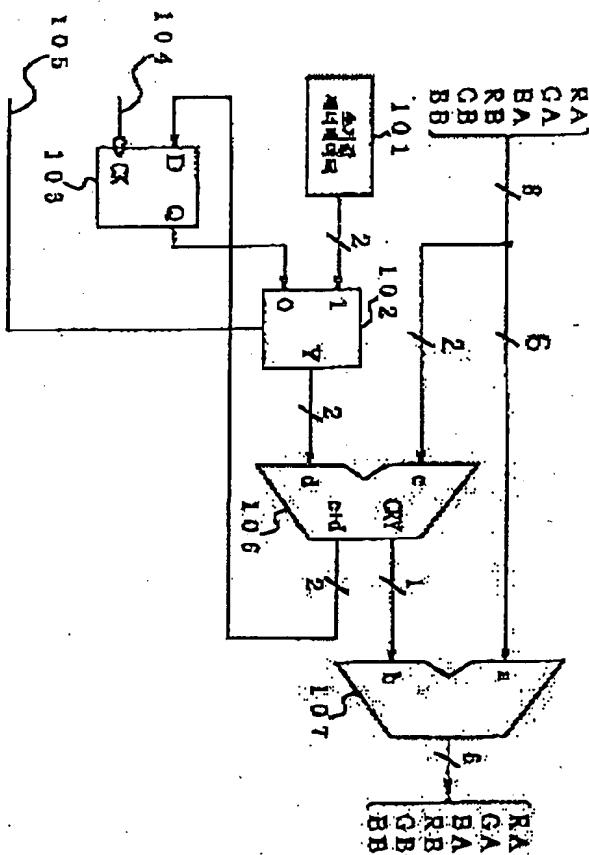
청구항 10

제 9항에 있어서,

상기 프레임 그룹의 1/2의 풀수 프레임들에 지정된 상기 초기값 세트들과 상기 프레임 그룹의 1/2의 풀수 프레임에 지정된 상기 초기값 세트들이 상기 프레임 그룹의 다른 1/2의 풀수 프레임에 지정된 초기값 세트들과 상기 프레임 그룹(S07)의 다른 1/2의 풀수 프레임에 지정된 초기값 세트들과 각각 일치하는 그레이 스케일 변경 회로.

도면

도면1

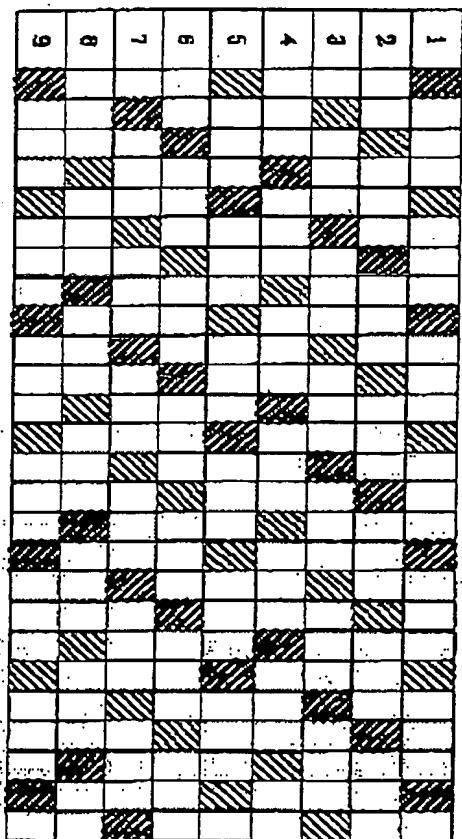


도면10

도면2

라인	접수 프레임 접외 초기값	접수 프레임 접외 초기값
1	7	3
2	1	5
3	2	8
4	4	0
5	3	7
6	5	1
7	6	2
8	0	4

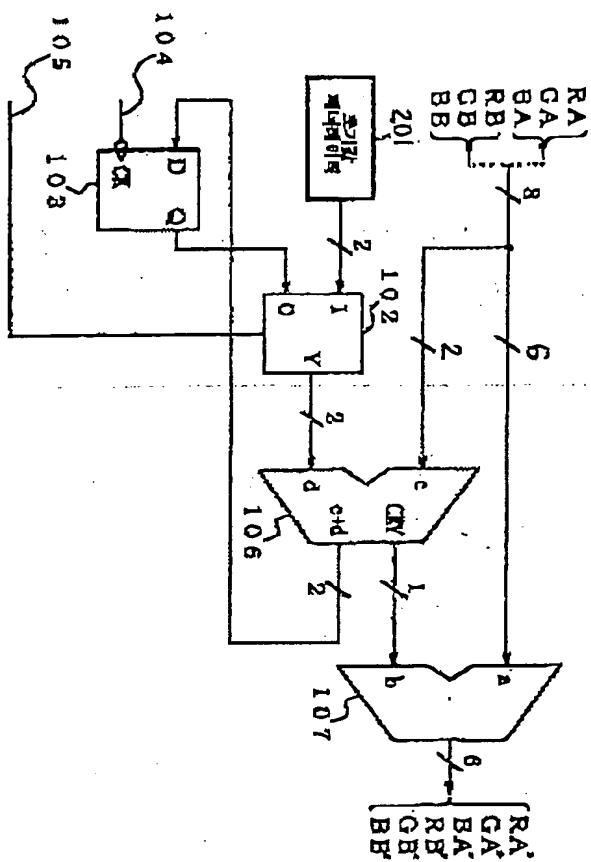
도면3



18-01

2001-0050603 NO 713

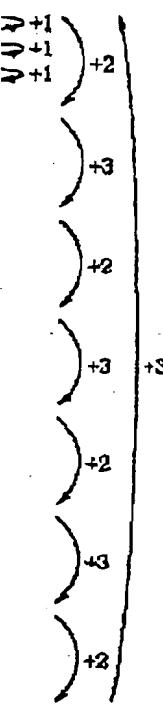
P 20



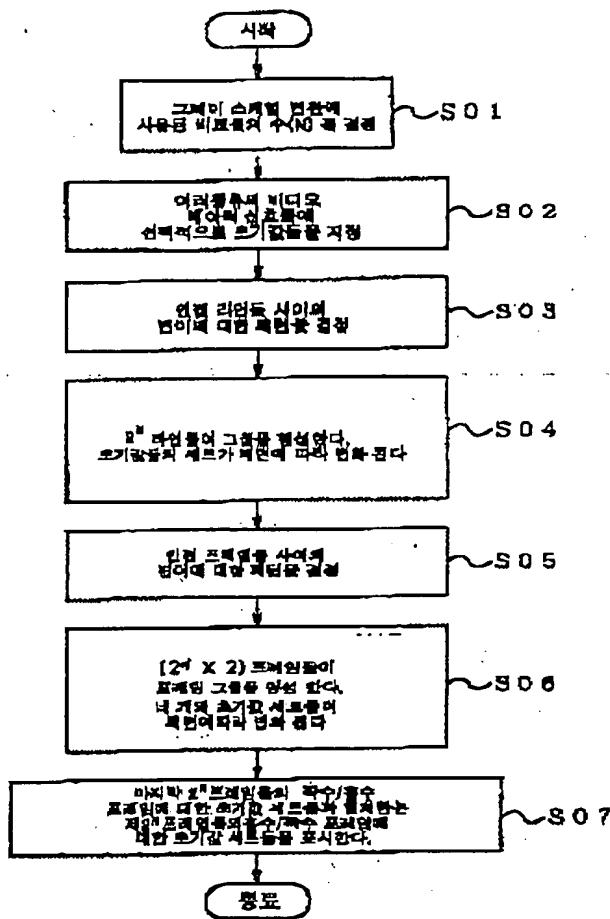
19-12-

도면5

프레임	마진	R	A	G	A	B	R	B	G	B	B
1	1	0	2	1	3	0	2				
	2	1	3	2	0	1	3				
	3	2	0	8	1	2	0				
	4	8	1	0	2	3	1				
2	1	2	0	3	1	2	0				
	2	3	1	0	2	3	1				
	3	0	2	1	3	0	2				
	4	1	3	2	0	1	3				
3	1	1	9	2	0	1	9				
	2	2	0	8	1	2	0				
	3	3	1	0	2	3	1				
	4	0	2	1	3	0	2				
4	1	8	1	0	2	3	1				
	2	0	2	1	3	0	2				
	3	1	3	2	0	1	3				
	4	2	0	8	1	2	0				
5	1	2	0	3	1	2	0				
	2	3	1	0	2	3	1				
	3	0	2	1	3	0	2				
	4	1	3	2	0	1	3				
6	1	0	2	1	3	0	2				
	2	1	3	2	0	1	3				
	3	2	0	8	1	2	0				
	4	3	1	0	2	3	1				
7	1	8	1	0	2	3	1				
	2	0	2	1	3	0	2				
	3	1	3	2	0	1	3				
	4	2	0	8	1	2	0				
8	1	1	3	2	0	1	3				
	2	2	0	3	1	2	0				
	3	3	1	0	2	3	1				
	4	0	2	1	3	0	2				



도26



도27

라인 수	회원					
	1	2	3	4	5	6
1	▽ + 1	▽ + 1	▽ + 2	▽ + 2	▽ + 3	▽ + 3
2	▽ + 1	▽ + 2	▽ + 1	▽ + 3	▽ + 2	▽ + 3
3	▽ + 1	▽ + 3	▽ + 2	▽ + 2	▽ + 1	▽ + 3
4	▽ + 1	▽ + 3	▽ + 2	▽ + 2	▽ + 1	▽ + 3

828

프레임	재단					
	1	2	3	4	5	6
1		+1				
2		+1				
3		+1				
4		+1				
5		+2				
6		+2				
7		+3				
8		+3				

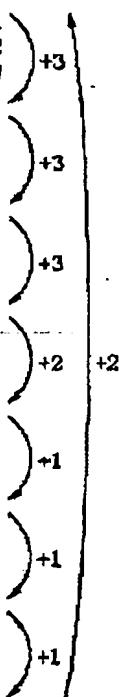
19-15

540

	제1비단오 색상번호	제2비단오 색상번호	제3비단오 색상번호	제4비단오 색상번호
	RGB	RGB	RGB	RGB
	RGB	RGB	RGB	RGB
1	AAA	BBB	AAA	BBB
1	132	013	203	120
2	220	312	031	023
2	220	312	031	023
3	810	281	021	302
4	021	802	182	013
5	132	013	203	120
6	209	120	310	231
7	810	281	021	302
8	021	130	201	310

도장

프레임	라인	R	A	G	B	R	B	G	B	B
1	1	0	1	3	2	0	1			
	2	1	2	0	3	1	2			
	3	3	0	2	1	3	0			
	4	2	3	1	0	2	3			
2	1	3	0	2	1	3	0			
	2	0	1	3	2	0	1			
	3	2	3	1	0	2	3			
	4	1	2	0	3	1	2			
3	1	2	3	1	0	2	3			
	2	3	0	2	1	3	0			
	3	1	2	0	3	1	2			
	4	0	1	3	2	0	1			
4	1	1	2	0	3	1	2			
	2	2	3	1	0	2	3			
	3	0	1	3	2	0	1			
	4	3	0	2	1	3	0			
5	1	3	0	2	1	3	0			
	2	0	1	3	2	0	1			
	3	2	3	1	0	2	3			
	4	1	2	0	3	1	2			
6	1	0	1	3	2	0	1			
	2	1	2	0	3	1	2			
	3	3	0	2	1	3	0			
	4	2	3	1	0	2	3			
7	1	1	2	0	3	1	2			
	2	2	3	1	0	2	3			
	3	0	1	3	2	0	1			
	4	3	0	2	1	3	0			
8	1	2	3	1	0	2	3			
	2	3	0	2	1	3	0			
	3	1	2	0	3	1	2			
	4	0	1	3	2	0	1			



2001-0050603 NO. 7137 P. 26

581

5812

jg-jb

SPSS

도장문

19-19

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.